

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-237551

(43)Date of publication of application : 13.09.1996

(51)Int.Cl.

H04N 5/335
H01L 27/148

(21)Application number : 07-035126

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.02.1995

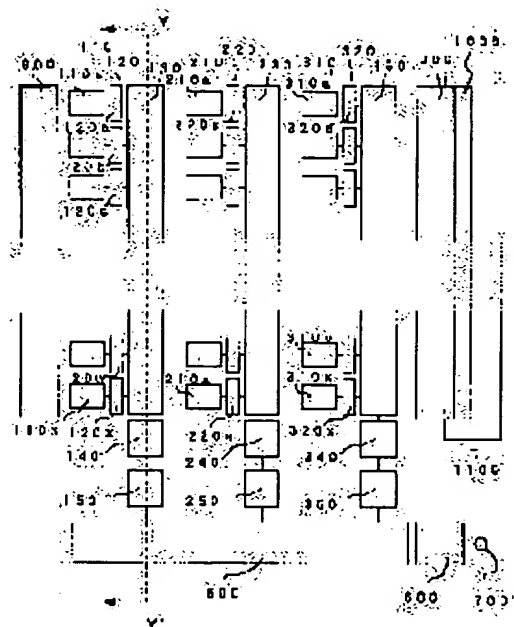
(72)Inventor : KIMATA MASAOKI

(54) SOLID-STATE IMAGE PICKUP DEVICE AND DRIVING METHOD FOR THE SAME

(57)Abstract:

PURPOSE: To reduce noise and to reduce power consumption by providing plural steps of a shift register and a circulation loop for connecting the input to the first step and the output from the final step of the plural steps of a shift register in a vertical charge transfer element driving circuit.

CONSTITUTION: Signal charges transferred in vertical charge elements 130, 230 and 330 are temporarily stored in storage gates 140, 240 and 340 and transmitted to a horizontal charge transfer element 500 while controlled with the transfer by storage control gates 150, 250 and 350. A preamplifier 600 generates a voltage signal corresponding to the amount of a signal charge outputted from the element 500, and the signal charge is outputted to the outside. A picture element sequence selecting circuit 800 is composed of shift registers and a driving circuit 900 for the vertical charge transfer elements applies the clock signal of drive to the respective gate electrodes of the elements 130, 230 and 330. The circuit 900 is set by an initializing circuit 1000 for vertical charge transfer element drive for initialization and the output from the final step of the circuit 900 and the first step of the circuit 900 are connected by circulation loop wiring 1100.



Best Available Copy

LEGAL STATUS

[Date of request for examination] 19.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(3) Japanese Patent Application Laid-Open No. 08-237551 (1996)

“SOLID-STATE IMAGE DEVICE AND DRIVING METHOD THEREOF”

The following is an English translation of an extract of the above application.

5 The present invention relates to a solid-state image device which performs reading every one line or a pair of horizontal lines, and a method of driving the same. A vertical charge transfer element driving circuit 900 mounted on the solid-state image device comprises an initial state setting circuit 1000 for setting an initial state of a shift register constituting the vertical charge transfer element driving circuit 900 and a circulation loop
10 1100 for connecting the output from the final step of the shift register and the input to the first step of the shift register.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-237551

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335			H 0 4 N 5/335	P
H 0 1 L 27/148			H 0 1 L 27/14	B

審査請求 未請求 請求項の数18 O L (全 20 頁)

(21)出願番号 特願平7-35126

(22)出願日 平成7年(1995)2月23日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 木股 雅章

尼崎市塚口本町八丁目1番1号 三菱電機

株式会社半導体基礎研究所内

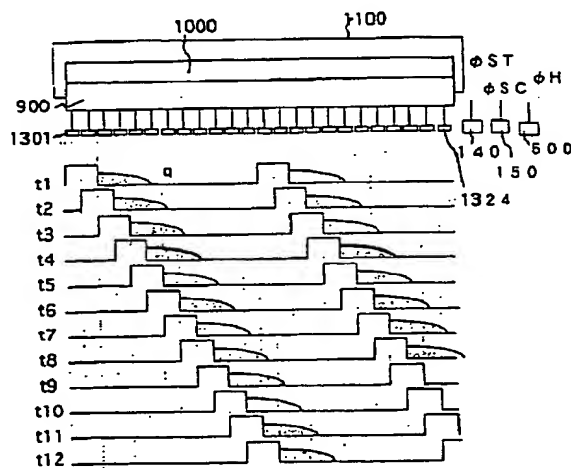
(74)代理人 弁理士 高田 守 (外4名)

(54)【発明の名称】 固体撮像素子及びその駆動方法

(57)【要約】

【目的】 C S D方式の固体撮像素子及びその駆動方法において、低消費電力化と高効率電荷転送を同時に実現する。

【構成】 1つまたは1組の水平ライン毎に読み出す固体撮像素子およびその駆動方法において、固体撮像素子上に搭載された垂直電荷転送素子駆動回路900に、該垂直電荷転送素子駆動回路900を構成するシフトレジスタの初期状態を設定する初期状態設定回路1000とシフトレジスタの最終段の出力と初段入力を接続する循環ループ1100を備えた。



【特許請求の範囲】

【請求項1】 光検出器が2次元に配列した光検出器アレイと、前記光検出器に蓄積された信号電荷を画素列選択回路により選択された光検出器毎に垂直電荷転送素子駆動回路によって順次読み出す垂直電荷転送素子とを備えた固体撮像素子であって、一水平掃線期間内に1本または1組の水平ライン毎に光検出器に蓄積された信号電荷を垂直電荷転送素子に読みだし、前記垂直電荷転送素子内に読み出された信号電荷を前記水平掃線期間に続く水平期間に光検出器アレイの外部に転送するように動作する固体撮像素子において、垂直電荷転送素子駆動回路が、クロックで動作するトランスファゲートとこれに接続されるインバータにより各段が構成される複数段のシフトレジスタと、該複数段のシフトレジスタの初段の入力と最終段の出力を接続する循環ループとを備えたことを特徴とする固体撮像素子。

【請求項2】 シフトレジスタにシフトレジスタ初期状態設定回路を備えたことを特徴とする請求項1に記載の固体撮像素子。

【請求項3】 シフトレジスタの各段が、第1のクロックで動作する第1のトランスファゲート、該第1のトランスファゲートに接続される第1のインバータ、第2のクロックで動作する第2のトランスファゲート、及び該第2のトランスファゲートに接続され該第2のトランスファゲートにより前記第1のインバータの出力が入力制御される第2のインバータを備え、シフトレジスタ初期状態設定回路がトランジスタから構成され、該トランジスタの一端が前記シフトレジスタの第1のトランスファゲートと第1のインバータに接続され、他の一端が初期設定すべき状態に対応した電源に接続され、前記2つの端子の導通を制御するゲートが第3のクロックに接続されることを特徴とする請求項2に記載の固体撮像素子。

【請求項4】 各段のシフトレジスタの出力から構成されるクロックパターンの1サイクルを構成する複数段のシフトレジスタのうち、連続する少なくとも2段のシフトレジスタに備わるシフトレジスタ初期状態設定回路の初期設定すべき状態に対応した電源に接続される端子が、他の段のシフトレジスタのシフトレジスタ初期状態設定回路の該端子とは異なる電位に接続されることを特徴とする請求項3に記載の固体撮像素子。

【請求項5】 循環ループに、シフトレジスタの初期状態の設定を行うパターンを循環ループ外の回路から入力するための切替手段を設けたことを特徴とする請求項1に記載の固体撮像素子。

【請求項6】 シフトレジスタの初期状態を設定するパターンを循環ループ外の回路から入力するための切替手段が、循環ループに設けた第1のMOSトランジスタと、該第1のMOSトランジスタと該シフトレジスタの初段入力との間に設けられ外部からのパターン入力を制御する第2のMOSトランジスタとで構成されることを

特徴とする請求項5に記載の固体撮像素子。

【請求項7】 外部から入力されるパターンとして、パターン記憶部に格納したシフトレジスタの初期状態設定パターンを用いることを特徴とする請求項6に記載の固体撮像素子。

【請求項8】 シフトレジスタの各段の出力を並列に分岐して、該一方の出力を前記シフトレジスタ内のインバータより駆動能力の大きいインバータまたはバッファを介して、垂直電荷転送素子に読み出された信号電荷を次段の垂直電荷転送素子に転送するための垂直電荷転送素子ゲートへ出力することを特徴とする請求項1乃至7のいずれか1項に記載の固体撮像素子。

【請求項9】 シフトレジスタの各段の出力を並列に分岐して、該一方の出力をトランスファゲートを介して垂直電荷転送素子に読み出された信号電荷を次段の垂直電荷転送素子に転送するための垂直電荷転送素子ゲートへ出力することを特徴とする請求項1乃至8のいずれか1項に記載の固体撮像素子。

【請求項10】 初段のシフトレジスタの入力と循環ループで接続される最終段のシフトレジスタにおいて、該最終段のシフトレジスタの中で最終段に配置されたインバータの駆動能力が、他の各段のシフトレジスタのそれぞれ最終段に配置されたインバータの駆動能力より高いことを特徴とする請求項1乃至9のいずれか1項に記載の固体撮像素子。

【請求項11】 初段のシフトレジスタの入力と循環ループで接続される最終段のシフトレジスタにおいて、該最終段のシフトレジスタの中で最終段に配置されたインバータの後段に該インバータより駆動能力の高いバッファを用いたことを特徴とする請求項1乃至9のいずれか1項に記載の固体撮像素子。

【請求項12】 光検出器が2次元に配列した光検出器アレイと、前記光検出器に蓄積された信号電荷を画素列選択回路により選択された光検出器毎に垂直電荷転送素子駆動回路によって順次読み出す垂直電荷転送素子とを備えた固体撮像素子であって、一水平掃線期間内に1本または1組の水平ライン毎に光検出器に蓄積された信号電荷を垂直電荷転送素子に読みだし、前記垂直電荷転送素子内に読み出された信号電荷を前記水平掃線期間に続く水平期間に光検出器アレイの外部に転送するように動作する固体撮像素子において、垂直電荷転送素子駆動回路が、クロックで動作するトランスファゲート、該トランスファゲートに接続されるインバータにより各段が構成される複数段のシフトレジスタ、該シフトレジスタから発生される垂直電荷転送素子駆動用のクロックの数が2次元に蓄積された信号電荷を水平期間に一走査分を読み出すのに必要な数であって、少なくとも垂直方向に配置した光検出器の個数の2倍の数のクロックを発生させる手段を備えたことを特徴とする固体撮像素子。

【請求項13】 垂直電荷転送素子駆動回路の垂直電荷

転送素子駆動用のクロックを発生させる手段が、記憶装置に格納されたシフトレジスタの駆動パターンにより駆動されたシフトレジスタであることを特徴とする請求項12に記載の固体撮像素子。

【請求項14】 垂直電荷転送素子駆動回路の垂直電荷転送素子駆動用のクロックを発生させる手段が、2次元に蓄積された信号電荷を水平期間に一走査分を読み出すのに必要な数であって、少なくとも垂直方向に配置した光検出器の個数の2倍の数のシフトレジスタを直列に接続して構成されることを特徴とする請求項12に記載の固体撮像素子。

【請求項15】 光検出器が2次元に配列した光検出器アレイと前記光検出器に蓄積された信号電荷を画素列選択回路により選択された光検出器毎に垂直電荷転送素子駆動回路によって順次読み出す垂直電荷転送素子を備えた固体撮像素子の駆動方法であって、垂直電荷転送素子駆動回路が、クロックで動作するトランスファゲートとこれに接続されるインバータにより各段が構成される複数段のシフトレジスタから構成され、一水平帰線期間内に1本または1組の水平ライン毎に光検出器に蓄積された信号電荷を垂直電荷転送素子に読みだし、前記垂直電荷転送素子内に読み出された信号電荷を前記水平帰線期間に続く水平期間に光検出器アレイの外部に転送する固体撮像素子の駆動方法において、外部クロックにより垂直電荷転送素子駆動回路の各段のシフトレジスタの入力段をそれぞれリセットし所定電位に設定する第1のステップと、各段のシフトレジスタのトランスファゲートとそれに接続されるインバータを介して出力された信号を並列に分岐して、一方を垂直電荷転送素子に読み出された信号電荷を次段の垂直電荷転送素子に転送するための垂直電荷転送素子ゲートを駆動するクロック信号とする第2のステップと、前段のシフトレジスタ内の出力で並列に分岐された他方の出力を次段のシフトレジスタにそれぞれ入力し、且つ最終段のシフトレジスタの出力で並列に分岐された他方の出力を初段のシフトレジスタに入力する第3のステップとを備え、以降第2と第3のステップを繰り返すことを特徴とする固体撮像素子の駆動方法。

【請求項16】 外部クロックにより各段のシフトレジスタの入力段をリセットする第1のステップを、電源の投入時、垂直帰線期間または水平帰線期間に行うことを特徴とする請求項15に記載の固体撮像素子の駆動方法。

【請求項17】 第1のステップで連続する少なくとも2段のシフトレジスタにおいてリセットされ設定される電位が、他の段と異なる電位であることを特徴とする請求項15に記載の固体撮像素子の駆動方法。

【請求項18】 第2のステップにおいて、各段のシフトレジスタの第2のインバータの出力の一方を、トランスファゲートを介して垂直電荷転送素子ゲートへ入力

し、画素列選択回路が動作している間は前記トランスファゲートをオフ状態とすることを特徴とする請求項15乃至17のいずれか1項に記載の固体撮像素子の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、光検出器が2次元に配列した固体撮像素子及びその駆動方法に関するもので、特にその素子の駆動回路及び駆動方法に特徴を有する固体撮像素子及びその駆動方法に関するものである。

【0002】

【従来の技術】図16は、例えば特公昭63-38866号公報や雑誌IEEE Journal of Solid State Circuits、VOL. SC-22、pp. 1124-1129に示されている従来のCSD(Charge Sweep Device)方式の固体撮像素子(イメージセンサ)の構成を示すブロック図である。図は簡単のため、水平方向の画素数を3画素、垂直方向の画素数を8画素としているが、実際には通常水平方向も垂直方向も数百画素程度である。図において、信号電荷は、光検出器2111~2118、2211~2218、2311~2318から、垂直電荷転送素子2130、2230、2330へとトランスファゲート2121~2128、2221~2228、2321~2328により転送制御される。垂直電荷転送素子(垂直CCD)2130、2230、2330内に転送されてきた信号電荷を一時的に蓄積ゲート2140、2240、2340で蓄積し、蓄積ゲート2140、2240、2340から水平電荷転送素子(水平CCD)2500へと、信号電荷は蓄積制御ゲート2150、2250、2350により転送制御される。水平電荷転送素子2500から出力されてくる信号電荷の量に応じて、ブリアンプ2600は電圧信号を発生し、出力2700される。画素列選択回路2800はシフトレジスタから構成され、垂直電荷転送素子の駆動回路2900は垂直電荷転送素子2130、2230、2330の各ゲート電極に駆動のクロック信号を与える。なお、便宜上図中の符号は一部省略している。

【0003】図17は、画素列選択回路とトランスファゲートとの接続を示す図である。図において、画素列選択回路2800の各段2801~2808が各水平列のトランスファゲート2121~2128、2221~2228、2321~2328と接続されている。例えば、画素列選択回路2801、トランスファゲート2121、2221、2321が順に接続されている。

【0004】図18は、垂直電荷転送素子駆動回路と垂直電荷転送素子のゲート電極との接続を示す図である。図において、垂直電荷転送素子駆動回路2900の各段2901~2908は垂直電荷転送素子2130、2230、2330の各ゲート電極2131~2138、2231~2238、2331~2338と接続されている。

231~2238、2331~2338の水平方向に並んだ各列毎に接続され、各ゲートにクロックを与えている。例えば、垂直電荷転送素子駆動回路の2901は、ゲート電極2131、2231、2331を接続し、この接続されたゲート電極にクロックを与えるようになっている。

【0005】次に動作について説明する。図19は、画素列選択回路が発生するクロックのタイミングを示した図である。図において、横軸は時間軸で $\phi 2801 \sim \phi 2808$ はそれぞれ図17における画素列選択回路の各段2801~2808が発生するクロックを示している。クロック信号は図16における蓄積ゲート2140、2240、2340に近い画素列選択回路の段から発生し、即ち図17の画素列選択回路2808から画素列選択回路2801方向（下から順に上方）へ発生し、一水平期間毎に一水平ラインを選択するように動作する。なお、画素列選択回路の下からn段目の出力が“H”レベルになってから下からn+1段目が“H”レベルになるまでの時間は一水平期間であり、一水平期間は水平走査期間（固体撮像素子の一水平ラインを走査する時間；図中t_Hで示した）と水平帰線期間（水平走査期間の終了から次の一水平ラインを走査開始するまでの時間）との和である。

【0006】図20は図16のA-A'断面のポテンシャル状態を示す図で、従来の固体撮像素子の垂直電荷転送の動作を説明する図である。また、図21は図20に示す垂直電荷転送素子駆動回路の各出力と蓄積ゲート、蓄積制御ゲート、水平電荷転送素子の1水平期間内のクロックタイミング図の各タイミングT1~T7に対応するチャネル電位を示している。図において、 $\phi 2901 \sim \phi 2908$ は垂直電荷転送素子駆動回路の各段2901~2908から発生せられ、ゲート電極2131~2138に印加されるクロックを示している。また、 ϕS_T 、 ϕS_C はそれぞれ蓄積ゲート2140、蓄積制御ゲート2150に印加されるクロックで、 ϕH は水平CCD2500の中の蓄積制御ゲート2150に接続されるゲート電極2501に印加されるクロックである。図20では、画素列選択回路2800により信号がトランスファゲート2121~2128に印加され、それぞれの光検出器から垂直電荷転送素子2130に信号電荷が読みだされた後の状態からの動作を示している。1つの画素からの信号電荷Q_{S1}、Q_{S2}は、図20に示すような動作の後蓄積ゲート2140の下に集められる。この動作の間、水平CCD2500は動作を続けている。続く水平帰線期間に蓄積ゲート2140に集められた信号電荷は、蓄積制御ゲート2150を通して水平電荷転送素子に転送され、次の水平期間に水平CCD2500、ブリアンプ2600を通して順次素子から出力される。

【0007】上述した従来の技術は、それぞれ接続されているトランスファゲート2121~2128、222

1~2228、2321~2328と垂直電荷転送素子のゲート電極2131~2138、2231~2238、2331~2338を共通の電極で構成した構成や、画素選択をインターレース走査する方式も採用されており、垂直電荷転送素子の駆動は例に示したもの以外にも可能である。

【0008】垂直電荷転送素子駆動回路2900は単純なシフトレジスタでも構成できるが、本例に示すような4相クロックが発生する場合、シフトレジスタ方式ではシフトレジスタへの駆動パターン入力の状態が常にオン・オフが繰り返され、1画素づつの出力サイクル毎に異なるため、シフトレジスタへの入力パターンが外部クロックとして必要となり、これが画像の上に固定パターン雑音として現れる。

【0009】この固定パターン雑音を除くため、上記従来例に示す固体撮像素子内で垂直電荷転送素子用の4相駆動クロックが発生する場合、図22に示すような外部4相クロックを用いた回路を用いている。図22は、従来の固体撮像素子の垂直電荷転送素子駆動回路を示す回路構成図である。図23は、図22の垂直電荷転送素子駆動回路を動作させるクロックのクロックタイミング図である。図において、4相の外部クロック $\phi C1 \sim \phi C4$ によりシフトレジスタ内のトランジスタのゲートを制御し、V_H（H電位）またはV_L（L電位）の出力で内部クロック $\phi 2901 \sim \phi 2908$ を発生させる。さらに、原理的には内部クロックを介することなく図22に示す外部クロックで垂直電荷転送素子を直接駆動させることもできる。しかし、垂直電荷転送素子のゲート数は非常に多く、このゲートを全て直接駆動させると、駆動のために回路として過大な駆動能力が必要とされることが、及び一水平期間に高速に垂直電荷転送を行う必要があること等により、現実には直接駆動は不可能であり、各ライン毎にドライブする回路を持った図22に示すような回路が用いられる。

【0010】上記で説明した垂直電荷転送素子を4相クロックで駆動する方式では、固定パターン雑音を低減することができる。しかし、少なくとも垂直方向に配置した画素数を4で割った数のクロック数を垂直電荷転送素子駆動回路の各出力が発生する必要があり、各クロック・サイクル時間には全てのゲートの電位が変化する。この動作は、大きな容量を高速に充放電することに相当しており、垂直電荷転送素子が消費する電力は非常に大きくなってしまふ。

【0011】消費電力を抑制するために、垂直電荷転送素子の駆動方法を上記の4相からさらに多相化することによって、他の特性に影響を与えないで低消費電力化を達成することは原理的には可能である。しかし、多相化によって外部から入力するクロックの数が増えるため、外部との配線が増加しこれが熱源あるいは伝熱手段となるため、特に素子を冷却する必要のある赤外線用の固体

撮像素子への適用は困難であった。

【0012】一方、垂直電荷転送素子駆動回路の消費電力を低減する他の駆動方法が、特公昭63-38865号公報、特公昭63-38866号公報及び雑誌IEEE Journal of Solid State Circuits、VOL. SC-22、pp. 1124-1129の中で提案されている。図24は従来の固体撮像素子の垂直電荷転送の他の方法を示す、ポテンシャル図である。また、図25は図24の動作に用いる垂直電荷転送素子駆動回路のクロックタイミング図である。図24に示すような駆動方法を実現するための垂直電荷転送素子駆動回路は通常のシフトレジスタで構成されていけばよい。シフトレジスタのスタート信号が外部から入力されるので、出力信号にはスタート信号に起因した雑音が見れるが、このスタート信号は一水平期間に1回のみで、水平帰線期間内に入力することが可能であるため、このスタート信号に起因した雑音が画像にとって問題になることはない。

【0013】上記方法によれば、必要とされる外部クロックの数を増加させることなく、各クロックサイクルに充放電されるラインは1ラインずつとなり、消費電力は小さくなる。しかし、この駆動方法では図24中T1～T4の例からも分かるように、信号電荷が垂直電荷転送素子2900内で広がってしまい転送効率が低下するという問題があった。

【0014】

【発明が解決しようとする課題】従来のCSD方式の固体撮像素子の垂直電荷転送においては上記のように行われていたので、素子として低消費電力化と高効率電荷転送を同時に実現することができなかった。

【0015】この発明は上記のような問題点を解消するためになされたもので、CSD方式の固体撮像素子及びその駆動方法において、素子の駆動回路へ外部から入力するクロックの数を増やすことなく、高効率の電荷転送を維持し、さらに雑音を増大させることなく低消費電力化が可能な、即ち垂直電荷転送素子駆動回路を構成するシフトレジスタの駆動を外部からのパターン入力にして少数の外部入力クロックで実質的な多相駆動を行う、垂直電荷転送素子駆動回路を搭載した固体撮像素子及びその駆動方法を提供するものである。

【0016】

【課題を解決するための手段】請求項1の発明に係る固体撮像素子は、光検出器が2次元に配列した光検出器アレイと、前記光検出器に蓄積された信号電荷を画素列選択回路により選択された光検出器毎に垂直電荷転送素子駆動回路によって順次読み出す垂直電荷転送素子とを備えた固体撮像素子であって、一水平帰線期間内に1本または1組の水平ライン毎に光検出器に蓄積された信号電荷を垂直電荷転送素子に読みだし、前記垂直電荷転送素子内に読み出された信号電荷を前記水平帰線期間に続く

水平期間に光検出器アレイの外部に転送するように動作する固体撮像素子において、垂直電荷転送素子駆動回路が、クロックで動作するトランスファゲートとこれに接続されるインバータにより各段が構成される複数段のシフトレジスタと、該複数段のシフトレジスタの初段の入力と最終段の出力を接続する循環ループとを備えたものである。

【0017】請求項2の発明に係る固体撮像素子は、請求項1において、シフトレジスタにシフトレジスタ初期状態設定回路を備えたものである。

【0018】請求項3の発明に係る固体撮像素子は、請求項2において、シフトレジスタの各段が、第1のクロックで動作する第1のトランスファゲート、該第1のトランスファゲートに接続される第1のインバータ、第2のクロックで動作する第2のトランスファゲート、及び該第2のトランスファゲートに接続され該第2のトランスファゲートにより前記第1のインバータの出力が入力制御される第2のインバータを備え、シフトレジスタ初期状態設定回路がトランジスタから構成され、該トランジスタの一端が前記シフトレジスタの第1のトランスファゲートと第1のインバータに接続され、他の一端が初期設定すべき状態に対応した電源に接続され、前記2つの端子の導通を制御するゲートが第3のクロックに接続されることを規定するものである。

【0019】請求項4の発明に係る固体撮像素子は、請求項3において、各段のシフトレジスタの出力から構成されるクロックパターンの1サイクルを構成する複数段のシフトレジスタのうち、連続する少なくとも2段のシフトレジスタに備わるシフトレジスタ初期状態設定回路の初期設定すべき状態に対応した電源に接続される端子が、他の段のシフトレジスタのシフトレジスタ初期状態設定回路の該端子とは異なる電位に接続されることを規定するものである。

【0020】請求項5の発明に係る固体撮像素子は、請求項1において、循環ループに、シフトレジスタの初期状態の設定を行うパターンを循環ループ外の回路から入力するための切替手段を設けたことを規定するものである。

【0021】請求項6の発明に係る固体撮像素子は、請求項5において、シフトレジスタの初期状態を設定するパターンを循環ループ外の回路から入力するための切替手段が、循環ループに設けた第1のMOSトランジスタと、該第1のMOSトランジスタと該シフトレジスタの初段入力との間に設けられ外部からのパターン入力を制御する第2のMOSトランジスタとで構成されることを規定するものである。

【0022】請求項7の発明に係る固体撮像素子は、請求項6において、外部から入力されるパターンとして、パターン記憶部に格納したシフトレジスタの初期状態設定パターンを用いることを規定するものである。

【0023】請求項8の発明に係わる固体撮像素子は、請求項1乃至7において、シフトレジスタの各段の出力を並列に分岐して、該一方の出力を前記シフトレジスタ内のインバータより駆動能力の大きいインバータまたはバッファを介して、垂直電荷転送素子に読み出された信号電荷を次段の垂直電荷転送素子に転送するための垂直電荷転送素子ゲートへ出力することを規定するものである。

【0024】請求項9の発明に係わる固体撮像素子は、請求項1乃至8において、シフトレジスタの各段の出力を並列に分岐して、該一方の出力をトランスファゲートを介して垂直電荷転送素子に読み出された信号電荷を次段の垂直電荷転送素子に転送するための垂直電荷転送素子ゲートへ出力することを規定するものである。

【0025】請求項10の発明に係わる固体撮像素子は、請求項1乃至9において、初段のシフトレジスタの入力と循環ループで接続される最終段のシフトレジスタにおいて、該最終段のシフトレジスタの中で最終段に配置されたインバータの駆動能力が、他の各段のシフトレジスタのそれぞれ最終段に配置されたインバータの駆動能力より高いことを規定するものである。

【0026】請求項11の発明に係わる固体撮像素子は、請求項1乃至9において、初段のシフトレジスタの入力と循環ループで接続される最終段のシフトレジスタにおいて、該最終段のシフトレジスタの中で最終段に配置されたインバータの後段に該インバータより駆動能力の高いバッファを用いたことを規定するものである。

【0027】請求項12の発明に係わる固体撮像素子は、光検出器が2次元に配列した光検出器アレイと、前記光検出器に蓄積された信号電荷を画素列選択回路により選択された光検出器毎に垂直電荷転送素子駆動回路によって順次読み出す垂直電荷転送素子とを備えた固体撮像素子であって、一水平帰線期間内に1本または1組の水平ライン毎に光検出器に蓄積された信号電荷を垂直電荷転送素子に読みだし、前記垂直電荷転送素子内に読み出された信号電荷を前記水平帰線期間に続く水平期間に光検出器アレイの外部に転送するように動作する固体撮像素子において、垂直電荷転送素子駆動回路が、クロックで動作するトランスファゲート、該トランスファゲートに接続されるインバータにより各段が構成される複数段のシフトレジスタ、該シフトレジスタから発生される垂直電荷転送素子駆動用のクロックの数が2次元に蓄積された信号電荷を水平期間に一走査分を読み出すのに必要な数であって、少なくとも垂直方向に配置した光検出器の個数の2倍の数のクロックを発生させる手段を備えたものである。

【0028】請求項13の発明に係わる固体撮像素子は、請求項12において、垂直電荷転送素子駆動回路の垂直電荷転送素子駆動用のクロックを発生させる手段が、記憶装置に格納されたシフトレジスタの駆動パター

ンにより駆動されたシフトレジスタであることを規定するものである。

【0029】請求項14の発明に係わる固体撮像素子は、請求項12において、垂直電荷転送素子駆動回路の垂直電荷転送素子駆動用のクロックを発生させる手段が、2次元に蓄積された信号電荷を水平期間に一走査分を読み出すのに必要な数であって、少なくとも垂直方向に配置した光検出器の個数の2倍の数のシフトレジスタを直列に接続して構成されることを規定するものである。

【0030】請求項15の発明に係わる固体撮像素子の駆動方法は、光検出器が2次元に配列した光検出器アレイと前記光検出器に蓄積された信号電荷を画素列選択回路により選択された光検出器毎に垂直電荷転送素子駆動回路によって順次読み出す垂直電荷転送素子とを備えた固体撮像素子の駆動方法であって、垂直電荷転送素子駆動回路が、クロックで動作するトランスファゲートとこれに接続されるインバータにより各段が構成される複数段のシフトレジスタから構成され、一水平帰線期間内に1本または1組の水平ライン毎に光検出器に蓄積された信号電荷を垂直電荷転送素子に読みだし、前記垂直電荷転送素子内に読み出された信号電荷を前記水平帰線期間に続く水平期間に光検出器アレイの外部に転送する固体撮像素子の駆動方法において、外部クロックにより垂直電荷転送素子駆動回路の各段のシフトレジスタの入力段をそれぞれリセットし所定電位に設定する第1のステップと、各段のシフトレジスタのトランスファゲートとそれに接続されるインバータを介して出力された信号を並列に分岐して、一方を垂直電荷転送素子に読み出された信号電荷を次段の垂直電荷転送素子に転送するための垂直電荷転送素子ゲートを駆動するクロック信号とする第2のステップと、前段のシフトレジスタの出力で並列に分岐された他方の出力を次段のシフトレジスタにそれぞれ入力し、且つ最終段のシフトレジスタの出力で並列に分岐された他方の出力を初段のシフトレジスタに入力する第3のステップとを備え、以降第2と第3のステップを繰り返すものである。

【0031】請求項16の発明に係わる固体撮像素子の駆動方法は、請求項15において、外部クロックによりシフトレジスタの入力段をリセットする第1のステップを、電源の投入時、垂直帰線期間または水平帰線期間に行うことを規定するものである。

【0032】請求項17の発明に係わる固体撮像素子の駆動方法は、請求項15において、第1のステップで連続する少なくとも2段のシフトレジスタにおいてリセットされ設定される電位が、他の段と異なる電位であることを規定するものである。

【0033】請求項18の発明に係わる固体撮像素子の駆動方法は、請求項15乃至17において、第2のステップにおいて、各段のシフトレジスタの第2のインバー

タの出力の一方を、トランスファゲートを介して垂直電荷転送素子ゲートへ入力し、画素列選択回路が動作している間は前記トランスファゲートをオフ状態とすることを規定するものである。

【0034】

【作用】この発明の請求項1に係わる固体撮像素子は、垂直電荷転送素子駆動回路を循環ループを有する複数段のシフトレジスタで構成したので、シフトレジスタを駆動させるためのパターン入力を逐一外部から与えることなく、シフトレジスタ駆動の繰り返しパターンを得ることができ

【0035】この発明の請求項2に係わる固体撮像素子は、垂直電荷転送素子駆動回路のシフトレジスタにシフトレジスタ初期状態設定回路を備えたので、シフトレジスタを駆動させるためのパターン入力を初期設定することができる。

【0036】この発明の請求項3に係わる固体撮像素子は、シフトレジスタが、第1のクロックで動作する第1のトランスファゲート、該第1のトランスファゲートに接続される第1のインバータ、第2のクロックで動作する第2のトランスファゲート、及び該第2のトランスファゲートに接続され該第2のトランスファゲートにより前記第1のインバータの出力が入力制御される第2のインバータを備え、シフトレジスタ初期状態設定回路がトランジスタから構成され、該トランジスタの一端が前記シフトレジスタの第1のトランスファゲートと第1のインバータに接続され、他の一端が初期設定すべき状態に対応した電源に接続され、前記2つの端子の導通を制御するゲートが第3のクロックに接続されるので、3つの外部クロックによりインバータの入出力が制御できる複数のシフトレジスタにより所望のパターン入力を形成することができ

【0037】この発明の請求項4に係わる固体撮像素子は、各段のシフトレジスタの出力から構成されるクロックパターンの1サイクルを構成するシフトレジスタのうち、連続する少なくとも2段のシフトレジスタの初期状態設定回路の電位を他の段とは異なる電位としたので、シフトレジスタの駆動により少なくとも2段分電位の異なるクロック信号を発生しこれが順次次段に伝達されるので、このクロック信号により駆動するゲート数が少なくしかも多相のクロック信号を発生することができる。

【0038】この発明の請求項5に係わる固体撮像素子は、循環ループにシフトレジスタの初期状態の設定を行うパターンを循環ループ外の回路から入力するための切替手段を設けたので、切替手段を制御するだけで、任意のパターンを循環ループ内のシフトレジスタに入力することができる。

【0039】この発明の請求項6に係わる固体撮像素子は、シフトレジスタの初期状態を設定するパターンを循環ループ外の回路から入力するための切替手段を、循環

ループに設けた第1のMOSトランジスタと、該第1のMOSトランジスタと該シフトレジスタの初段入力との間に設けられ外部からのパターン入力を制御する第2のMOSトランジスタとで構成したので、簡便な構成で切替が可能となる。

【0040】この発明の請求項7に係わる固体撮像素子は、外部から入力されるパターンとして、パターン記憶部に格納したシフトレジスタの初期状態設定パターンを用いたので、任意に形成したパターンを容易にシフトレジスタに入力することができる。

【0041】この発明の請求項8に係わる固体撮像素子は、シフトレジスタの各段の出力を並列に分岐した一方の出力を、前記シフトレジスタ内のインバータより駆動能力の大きいインバータまたはバッファを介して垂直電荷転送素子ゲートへ出力したので、安定動作を得るためにある程度高い電圧が必要なシフトレジスタ部と垂直電荷転送素子ゲートへの低電圧出力部（ドライバ部）とを分けて構成することができる。

【0042】この発明の請求項9に係わる固体撮像素子は、シフトレジスタの各段の出力を並列に分岐した一方の出力を、トランスファゲートを介して垂直電荷転送素子ゲートへ出力したので、外部クロックによりトランスファゲートを制御することでシフトレジスタの各段の出力の垂直電荷転送素子ゲートへの送出を制御できる。

【0043】この発明の請求項10に係わる固体撮像素子は、最終段のシフトレジスタの中で最終段に配置されたインバータの駆動能力を、他の各段のシフトレジスタのそれぞれ最終段に配置されたインバータの駆動能力より高くしたので、循環ループに連結する最終段のシフトレジスタの中の最終段に配置されたインバータの負荷を安定に負うことができる。

【0044】この発明の請求項11に係わる固体撮像素子は、最終段のシフトレジスタの中で最終段に配置されたインバータの後段に該インバータより駆動能力の高いバッファを用いたので、循環ループに連結する最終段のシフトレジスタの中の最終段に配置されたインバータの負荷を安定に負うことができる。

【0045】この発明の請求項12に係わる固体撮像素子は、2次元に蓄積された信号電荷を一走査分を読み出すのに必要な数のシフトレジスタ駆動用クロックを発生させる手段を備えたので、一走査分の外部クロックの数を減らすことができる。

【0046】この発明の請求項13に係わる固体撮像素子は、記憶装置に格納されたシフトレジスタ駆動パターンに従って駆動したシフトレジスタにより、必要な数だけクロックを容易に発生させることができる。

【0047】この発明の請求項14に係わる固体撮像素子は、2次元に蓄積された信号電荷を一走査分を読み出すのに必要な数のシフトレジスタを直列に接続して構成したので、外部クロックの数を減らすことができる。

【0048】この発明の請求項15に係わる固体撮像素子の駆動方法は、垂直電荷転送素子駆動回路に備わる複数段のシフトレジスタを初期設定した後、外部クロックにより順次そのパターンを次段のシフトレジスタへの送出するとともに各段の出力を垂直電荷転送素子のゲート電極駆動信号に用い、最終段のシフトレジスタの出力を初段のシフトレジスタへの入力としてシフトレジスタの駆動パターンを循環させたので、多くの外部クロックを必要としないで、シフトレジスタの駆動が可能となる。

【0049】この発明の請求項16に係わる固体撮像素子の駆動方法は、外部クロックにより各段のシフトレジスタの入力段をリセットする第1のステップを、電源の投入時、垂直帰線期間または水平帰線期間に行うので、リセット用外部クロックに起因する雑音が発生しても、画像に影響を与えることはない。

【0050】この発明の請求項17に係わる固体撮像素子の駆動方法は、請求項15において、第1のステップで連続する少なくとも2段のシフトレジスタにおいてリセットされ設定される電位が、他の段と異なる電位であるので、異なる電位でリセットされたシフトレジスタからは異なるクロック信号が発せられ、この異なるクロック信号により垂直電荷転送素子に任意のポテンシャル井戸を形成することができる。さらに、少なくとも2段分でポテンシャル井戸が仕切られるので、クロックの遷移時においても十分なポテンシャルバリアとなる。

【0051】この発明の請求項18に係わる固体撮像素子の駆動方法は、請求項15乃至17において、第2のステップにおいて、各段のシフトレジスタの第2のインバータの出力の一方を、トランスファゲートを介して垂直電荷転送素子ゲートへ入力し、画素列選択回路が動作している間は前記トランスファゲートをオフ状態としたので、垂直電荷転送素子駆動回路と垂直電荷転送素子のゲート電極を電氣的に完全に分離したり接続したり制御することが可能となる。

【0052】

【実施例】

実施例1. 以下、この発明の一実施例について説明する。まず、垂直電荷転送素子（垂直CCD）について説明する。CCDは、P型半導体上に薄い酸化膜を隔てて電極を配置し、電極に正電位を与えることにより電極直下の半導体中にポテンシャルの井戸を作り、その井戸内に少数キャリアである電子を一時貯え、後続する電極に正電位を与えて井戸を移動させることにより電荷を順送りするものである。

【0053】以下、図を用いて説明する。図1は、この発明の一実施例による固体撮像素子の構成を示すブロック図である。図2は、この発明の固体撮像素子の画素列選択回路とトランスファゲートとの接続を示す図である。図3は、この発明の固体撮像素子の垂直電荷転送素子駆動回路と垂直電荷転送素子のゲート電極との接続を

示す図である。図4は、この発明の一実施例による固体撮像素子の垂直電荷転送素子及び垂直電荷転送素子駆動回路の構成と各タイミングにおける垂直電荷転送素子内のチャンネルポテンシャル図で、図1のY-Y'断面のポテンシャル状態を示している。図5は、図4の垂直電荷転送素子駆動回路の発生するクロックのクロックタイミング図である。図において、信号電荷qは、光検出器110a~110x、210a~210x、310a~310xから、垂直電荷転送素子130、230、330へとトランスファゲート120a~120x、220a~220x、320a~320xにより転送制御される。垂直電荷転送素子（垂直CCD）130、230、330内に転送された信号電荷は一時的に蓄積ゲート140、240、340で蓄積され、蓄積制御ゲート150、250、350により転送制御され、水平電荷転送素子（水平CCD）500へと送出される。ブリアンプ600は、水平電荷転送素子500から出力されてくる信号電荷の量に応じた電圧信号を発生し、信号電荷は外部へ出力700される。画素列選択回路800（各段は800a~800x）はシフトレジスタから構成され、垂直電荷転送素子の駆動回路900（各段は900a~900x）は垂直電荷転送素子130、230、330の各ゲート電極に駆動のクロック信号を与える。シフトレジスタからなる垂直電荷転送素子駆動回路900は、初期状態を設定する垂直電荷転送素子駆動初期状態設定回路1000により初期状態を設定する。垂直電荷転送素子駆動回路900の最終段の出力と垂直電荷転送素子駆動回路900の初段は循環ループ配線1100により接続される。

【0054】ここでは垂直方向の画素を24個とし、垂直電荷転送素子130のゲート電極1301~1324を24個垂直方向に配置した例について示している。t1~t12のタイミングにおいて、垂直電荷転送素子の各ゲート電極1301~1324に印加されるクロックφ1301~φ1324は図5に示す通りである。なお、垂直電荷転送素子230、330の各電極は230a~230x、330a~330xである。また、便宜上図中の符号は一部省略している。

【0055】図6は、垂直電荷転送素子駆動回路900を中心とした回路図で、CMOS回路で構成した例を示している。概ね従来のCMOS回路構成に垂直走査回路駆動初期状態設定回路1000と循環ループ1100が付加された構成である。図において、シフトレジスタの各段は2つのCMOSインバータ10（例えば初段ではQ012、Q013のインバータとQ015、Q016のインバータ）と2つのオーバーラップしないクロックφC1とφC2が印加されるトランスファゲート20（例えば初段ではQ011、Q014）が垂直電荷転送素子駆動回路900を構成しており、各段の最初のトランスファゲートの後ろのノード30（例えば初段ではN

15

01)を所定のクロック ϕR で所定の電圧(図4ではVSSまたはVDD; VSSは接地電位、VDDは+電源電位)にリセットするトランジスタ40(例えば初段ではQ01R)が垂直走査回路駆動初期状態設定回路1000を構成している。図6では省略しているが、図5のような、すなわち連続した2段を他の段と異なる電位としこのパターンを次段へ伝達するような、クロックを作るために $\phi 1313$ 、 $\phi 1314$ を発生している回路ではリセットトランジスタの接続は $\phi 1301$ 、 $\phi 1302$ を発生している回路と同じ接続(入力ノードがリセットされたときにVSSに接続される)となっており、その他の各段ではリセット時入力ノードがVDDに接続されるようにリセットトランジスタを配置している。

【0056】次に、この発明の動作について説明する。まず、少なくともデバイスに電源が投入されたとき ϕR を入力してシフトレジスタの入力段をリセットする。この時 $\phi C1$ 、 $\phi C2$ はLレベルでありトランスファゲート10はOFF状態である。この状態では、1段目、2段目、13段目、14段目のN01、N02、N13、N14は接地電位(VSS)となり、これを第1のインバータ10に入力するとPMOSのソース電極はVDD、一方NMOSのソース電極はVSSであるため、各段(1、2、13、14段)の第1のインバータはPMOSがオンとなり、第1のインバータの出力はVDDレベルとなる。次に、 $\phi C2$ がHレベルになり、各段の第2のトランスファゲート20がONすると、各段で第1のインバータの出力(VDD)が第2のインバータ10に入力される。第2のインバータにおいても、PMOSのソース電極はVDD、一方NMOSのソース電極はVSSであるため、第2のインバータではNMOSがオン、第2のインバータの出力はVSSレベルとなる。即ち、 $\phi 1301$ 、 $\phi 1302$ 、 $\phi 1313$ 、 $\phi 1314$ はVSSレベルとなる。

【0057】一方、他の段(1、2、13、14段を除く段)についてその動作を第3段を例として説明する。デバイスに電源が投入されたとき ϕR を入力してシフトレジスタの入力段はリセットされる。この時 $\phi C1$ 、 $\phi C2$ はLレベルでありトランスファゲート10はOFF状態である。この状態でN03はVDDとなり、これをこれを第1のインバータ10に入力するとPMOSのソース電極はVDD、一方NMOSのソース電極はVSSであるため、第3段の第1のインバータはNMOS(Q033)がオンとなり、第1のインバータの出力はVSSレベルとなる。次に、 $\phi C2$ がHレベルになり、各段の第2のトランスファゲート20(Q034)がオンとなると、各段で第1のインバータの出力(VSS)が第2のインバータ10に入力される。第2のインバータにおいても、PMOSのソース電極はVDD、一方NMOSのソース電極はVSSであるため、第2のインバータではPMOS(Q035)がオンとなり、第2のインバータ

16

の出力はVDDレベルとなる。即ち、 $\phi 1303$ はVDDレベルとなる。

【0058】以上の動作で、図5のタイミングt1におけるクロック状態が実現される。次に $\phi C1$ がHレベルになり、第1のトランスファゲートがONすると、各段の出力が次段の第1のインバータ入力に加わる。例えば、最終段の出力 $\phi 1324$ は循環ループ配線1100を通して初段のインバータの入力に加わる。この状態で、第1のインバータ入力ノード、N02、N03、N14、N15はVSSレベルとなり、他の段の第1のインバータ入力ノードはVDDレベルとなる。即ち、上記で説明した初期の状態が1段ずつずれることになる。従って、第3段ではN03がVSSとなり、第1のインバータではPMOS(Q032)がオンとなり、第1のインバータの出力はVDDとなる。次に、 $\phi C2$ がHレベルになると、第2のインバータにVDDが入力され、NMOS(Q036)がオンとなり、VSSが出力される。即ち、VSSレベルとなる出力は $\phi 1302$ 、 $\phi 1303$ 、 $\phi 1314$ 、 $\phi 1315$ で、他の出力はVDDレベルとなる。この状態は図3のタイミングt2におけるクロック状態に相当する。こうした動作を繰り返すことで $\phi C2$ がHレベルになるたびにVSSレベルとなる出力が一段ずつ移動し図5のようなクロックが生成される。その他の段ではN03~N12、N15~N24はVDDレベルとなり、これらの段の第1のインバータの出力はVSSレベルとなる。

【0059】図5のクロックは図4のt1~t12に示すポテンシャル状態を作り、信号電荷は図で左から右へ転送される。

【0060】上記で示した例では、実質的には12相のクロックで駆動したことになる。この場合、24段の垂直電荷転送素子では信号電荷を1ゲート分右へ転送するのに4つのゲートに印加されるクロック電圧のみが変化している。一方、従来のように4相駆動を行った場合、同じ24段の垂直電荷転送素子では1ゲート分の転送を行うのに12個のゲートに印加するクロックを変化させる必要があり、同一距離の転送に対し、上記の実施例に比べ充放電する容量が3倍になり、同一駆動電圧では3倍消費電力が大きくなる。本発明のように、全シフトレジスタ数に対しあるクロックタイミングにおいて駆動しているシフトレジスタ数の占める割合が小さい程、即ち駆動しているシフトレジスタが少ない程、消費電力を低減することができる。そのため、シフトレジスタの出力がHレベルがLより多く、レジスタの出力が変化する(レジスタが駆動することに相当)個数が全体の半分より少ない方が望ましい。

【0061】上の実施例では、12相駆動の場合を示しているが、垂直電荷転送素子駆動初期状態設定回路の設計を変更することで、さらに多相駆動を実現することは容易であり、多相化するほど低消費電力化の効果が大き

いことは言うまでもない。垂直電荷転送素子駆動初期状態設定回路の設計変更は、各段のリセットトランジスタ 40 (図 6 中 Q01R~Q24R) の接続をどの電圧にするか等により、簡便に行うことができる。

【0062】また、このように動作させることは、垂直電荷転送素子内に占める信号蓄積面積の割合を大きくでき、最大転送電荷量を増大させる点でも効果的である。信号蓄積面積は、図 4 のポテンシャル図の高レベル部に囲まれた低レベル部の面積、即ち井戸の広さ(幅)、に相当するため、本実施例のように、多相化され、各段のシフトレジスタの出力変化が少ないとその面積は大きくなる。一方、12相でポテンシャル井戸が仕切られており、電荷はその井戸の幅内に拘束されることになり、従来例の図 24 で示したような垂直に配置した素子全てに渡って広がることはなく、従来問題となっていた電荷転送効率の低下は解消される。また、上記実施例は連続するシフトレジスタ 2 段分のクロック信号でポテンシャル井戸を仕切っているが、少なくとも 2 段あればクロック信号の遷移時においても、十分にポテンシャルバリアを形成できる。

【0063】また、上記実施例では L レベルの出力に挟まれた H レベルの出力の数は同じとしているが、これは必ずしも同じでなくても消費電力低減の効果が得られる。

【0064】また、本発明では垂直電荷転送素子初期状態設定回路と循環ループを設けたので、外部から駆動パターンを入力する必要がなく、駆動状態では各タイミングで状態が変化する内部クロックの数が同じであるため、出力とクロックの結合による固定パターン雑音は発生しない。

【0065】上記実施例で動作に必要なクロックと電源の数は、 $\phi C1$ 、 $\phi C2$ 、 ϕR 、VDD、VSS の 5 つで、従来の 4 相駆動方式に比べ 1 つ少なくなっており、この点でも、装置構成上、装置機能上(冷却、安定性等)、価格等の面で有利である。

【0066】上記実施例では、各段は同じ回路で構成されているが、最終段の第 2 のインバータの駆動負荷は垂直電荷転送素子と循環ループ 1100 となるため、負荷容量が大きくなる。そのため、最終段の第 2 のインバータのトランジスタのチャネル幅を大きくするか、上記インバータと循環ループの間にバッファをいれる回路構成とすれば、シフトレジスタとしての動作の安定化を図ることができる。

【0067】また、上記実施例では、垂直電荷転送素子駆動回路のリセットを電源投入時に行っているが、リセットは最低限この電源投入時に行えばよく、水平および垂直帰線期間毎に行うことも可能である。この場合はリセットクロックとして水平または垂直帰線期間に変化するクロック、例えば、 ϕST 等とクロックを共用することが可能となり、入出力ピン数を減らすこともできる。

【0068】実施例 2. 以下、この発明の実施例を図について説明する。図 7 は、本発明の固体撮像素子の垂直電荷転送素子駆動回路を中心とした回路図である。図において、シフトレジスタからなる垂直電荷転送素子駆動回路 900 は、循環ループを形成する配線 1100 により接続され、初段の入力の接続を選択するクロック ϕSC 、 ϕPI により、MOS トランジスタ 60 (Qsc)、MOS トランジスタ 70 (Qpi) が操作され、接続切替可能な循環ループを構成する。

【0069】図 8 は、本発明の循環ループ方式と CMOS トランジスタで構成されたシフトレジスタとの接続を示す図である。実施例 1 の図 6 におけるリセットトランジスタ及びクロック ϕR が省略され、循環ループに外部との切替手段(クロックにより動作する MOS トランジスタ)が設けられている。図 9 は、図 7、8 に示した切替手段を用いた場合の初期のクロックタイミングを示す図である。

【0070】次に、動作について説明する。図 9 のクロックタイミング図に示すように、電源が投入され素子が動作を開始する前に ϕPI を H レベル、 ϕSC を L レベルに設定して、シフトレジスタ 900 の初段入力端子を外部クロック ϕSP につなぐ。このとき MOS トランジスタ 60 (Qsc) は OFF であり、シフトレジスタの循環ループ 1100 はトランジスタ MOS トランジスタ 60 (Qsc) で切断されている。この状態でシフトレジスタ 900 を動作させながら ϕSP を変化させて 900 の内部状態を初期設定する。シフトレジスタ 900 の段数だけシフトレジスタ 900 を駆動させると、シフトレジスタ 900 全体の初期状態が設定される。初期状態の設定が終わった時点で ϕPI を L レベル、 ϕSC を H レベルにし、循環ループを形成し、外部クロック ϕSP 入力を切り放す。その後シフトレジスタ 900 を駆動すると実施例 1 と同様に循環する多相駆動クロックを発生させることができる。一旦動作が始まると内部状態は一義的に決まり初期設定は不要で、且つ外部クロックによるノイズは低減する。

【0071】上記実施例では、実施例 1 と比べて ϕR が不要となる一方、動作に必要なクロックの数は 3 つ (ϕSP 、 ϕPI 、 ϕSC) 増えるが、全体の素子数は各段のリセットトランジスタが不要な分だけ減少する。さらに、駆動のために初期設定のクロックパターンは外部入力クロック ϕSP を変更することで容易に変えることができ、フレキシブルな駆動が可能となる。

【0072】実施例 3. 以下、この発明の別の実施例を図について説明する。図 10 はこの発明の別の実施例を示すブロック図である。本実施例では実施例 2 の外部クロック入力 ϕSP を、駆動パターンを記憶する垂直電荷転送素子駆動パターン記憶装置 1001 を用いて、予めシフトレジスタの駆動パターンを該記憶装置 1001 に格納しておき、電源投入時に該記憶装置 1001 に記憶

された駆動パターンでシフトレジスタ 900 を初期設定する。以下の動作は実施例 2 と同様である。

【0073】上記実施例 2、3 においても、各段は同じ回路で構成されているが、最終段の第 2 のインバータの駆動負荷は垂直電荷転送素子と循環ループ 1100 となるため、負荷容量が大きくなる。そのため、実施例 1 と同様に最終段の第 2 のインバータのトランジスタのチャネル幅を大きくするか、上記インバータと循環ループの間にバッファをいれる回路構成とすれば、シフトレジスタとしての動作の安定化を図ることができる。

【0074】実施例 4. 以下、この発明の実施例を図について説明する。図 11 は、本発明の固体撮像素子の垂直電荷転送素子駆動回路を中心とした回路図である。図において実施例 1 図 6 の分岐した出力部分のうち垂直電荷転送素子のゲートへ入る出力部分にトランスファゲート 80 (Q01T ~ Q24T) を設けた構成になっている。この構成では、外部クロック ϕ EN が H レベルの時だけ垂直電荷転送素子駆動回路と垂直電荷転送素子のゲート電極が接続され、クロック ϕ EN が L レベルのときは垂直電荷転送素子駆動回路と垂直電荷転送素子のゲート電極が電氣的に分離された状態になる。このように垂直電荷転送素子のゲートへ入る出力部分にトランスファゲート 80 を配置することにより、垂直電荷転送素子のゲート電極 (例えば図 1 の 120a ~ 120x、220a ~ 220x、320a ~ 320x) と画素内のトランスファゲートのゲート電極 (図示せず) とを共通のゲート電極で構成することができ、画素列の選択と垂直電荷転送素子の駆動を共通の配線により共通のクロック信号を用いて行うことが可能になる。

【0075】また、上記実施例は実施例 1 を基本とし、これにトランスファゲート 80 を設けた構成としているが、実施例 2、実施例 3 を基本とし、これらにトランスファゲート 80 を設けた構成としてもよい。実施例 2 にトランスファゲートを付加した例を図 12 に示す。

【0076】実施例 5. 以下、この発明の実施例を図について説明する。図 13 は、本発明の固体撮像素子の垂直電荷転送素子駆動回路を中心とした回路図である。図において実施例 1 図 6 の分岐した出力部分のうち垂直電荷転送素子のゲートへ入る出力部分にインバータ 90 が配置され、この実施例ではシフトレジスタの出力は追加したこのインバータを通して出力されている。換言すると、実施例 4 のトランスファゲートに代わってインバータが配置されている。本例ではさらに一段インバータを介して出力するためにリセットトランジスタの接続を変更している。追加したインバータの電源はシフトレジスタの電源 VDD とは別の電源 VCH を用いている。これは、垂直電荷転送素子の駆動は負荷容量を充放電する電圧が低いほど低消費電力化できるが、シフトレジスタの動作には安定動作のために或る程度高い電圧が必要なため、シフトレジスタ部と負荷を直接駆動するドライバ部

の電源電圧を分け、VCH をできるだけ低くすることで、さらに低消費電力化を達成するものである。

【0077】上記実施例ではドライバ部はインバータ構成となっているが、反転しない出力を得る回路を構成することも可能である。

【0078】また、上記実施例は実施例 1 を基本とし、これにインバータ 90 を設けた構成としているが、実施例 2、実施例 3 を基本とし、これらにインバータ 90 を設けた構成としてもよい。実施例 2 にトランスファゲートを付加した例を図 14 に示す。

【0079】さらに、上記実施例はではインバータを付加した例について示したが、駆動能力の大きなバッファを付加しても同様な効果が得られることは言うまでもない。

【0080】実施例 6. 以下、この発明の実施例を図について説明する。図 15 は、本発明の固体撮像素子の垂直電荷転送素子駆動回路を中心としたブロック図、及び各タイミングにおける垂直電荷転送素子内のチャンネルポテンシャル図である。図において、垂直電荷転送素子駆動回路 900 はシフトレジスタを駆動させるパターンを垂直電荷転送素子駆動パターン保持回路 1002 を備えている。

【0081】本実施例は循環ループで繰り返しパターンを用いる代わりに一水平期間の走査分の信号電荷を読み出すのに必要な数のクロックを発生させるシフトレジスタの駆動パターンを外部記憶装置に備えたものである。以下、動作について説明する。保持回路 1002 は、一水平期間の走査分の垂直電荷転送素子駆動回路 900 のシフトレジスタの動作を決めるのに必要な分のクロックパターンを発生できるだけのデータを保持するものとする。さらに、保持回路 1002 は、垂直電荷転送素子駆動回路 900 のシフトレジスタの駆動クロックと同期してクロックパターンを垂直電荷転送素子駆動回路 900 のシフトレジスタに順次入力するものとする。例えば、保持回路 1002 のデータが "HHHHHHHHHLL LHHHHHHHHHLL" の場合、チャンネルポテンシャルは図 15 の通りとなる。但し、チャンネルポテンシャルはゲート電圧が "H" の時に低くなる。

【0082】まず、初期状態 (前のサイクルの最終状態) を t_1 とする。垂直電荷転送素子駆動回路 900 のシフトレジスタの初段には "H" が入力され、次のタイミング t_2 では垂直電荷転送素子駆動回路 900 のシフトレジスタの初段の出力は "H" となり、このクロックが印加されたゲートの下チャンネルポテンシャルは低くなる。その後、保持回路 1002 からの入力に従って $t_3 \sim t_{11}$ のようにチャンネルポテンシャルが変化した後、保持回路 1002 から "L" が入力されると次のタイミング t_{12} では垂直電荷転送素子駆動回路 900 のシフトレジスタの初段のゲートに印加されるクロックは "L" となりチャンネルポテンシャルは浅くなる。次

21

のタイミング t_{13} では t_1 と同じ状態に戻る。ここまでの走査で信号電荷 q は垂直電荷転送素子の半分の距離を転送されたことになる。さらに、“HHHHHHHHH HHL”の順に保持回路1002からデータが供給されると $t_2 \sim t_{13}$ の状態を繰り返し、信号電荷 q は垂直電荷転送素子の外部へ転送されることになる。上記の動作では1回（最低限）の転送であり、転送効率を向上させるためにはさらにその駆動を繰り返せば良く、その分だけ記憶装置1002の保持するデータを増やせばよい。例えば、“HHHHHHHHHHH L L HHHHHH HHH L L HHHHHHHHHH L L HHHHHH HHH L L”というデータを保持していれば、2回分の転送ができる。実際転送効率を考慮すると、少なくとも2回分の転送（即ち、垂直方向に配置した光検出器の2倍の個数のクロック発生分）が必要である。

【0083】保持回路1002はメモリと順次アドレスを変化させる回路の組み合わせで構成することもできるし、初期状態設定回路付きのシフトレジスタにおいても構成することができる。

【0084】また、上記実施例のように保持回路1002の発生するクロックパターンがある周期で繰り返すように設計する場合には、繰り返し周期分のデータだけをデータとして保持し、保持回路1002内で循環させて、例えば循環ループを用いて、出力させることもできる。

【0085】なお、上記実施例は、通常の回路通り垂直電荷転送素子駆動回路900のシフトレジスタの数は垂直方向に配置した光検出器と一致するが、一水平期間の走査分の信号電荷を読み出すのに必要なクロックを発生させる数だけシフトレジスタを複数直列に配置してもよい。配置すべきシフトレジスタの数は転送効率と転送速度等により決定され、繰り返し走査することにより信号電荷は精度よく転送されていく。転送効率を考慮すると、このとき配置すべきシフトレジスタの個数は最低垂直方向に配置した光検出器の2倍である。このように一水平期間の走査分の信号電荷を読み出すのに必要なシフトレジスタを備えることにより、一走査分は雑音の影響を受けることはない。各帰線期間にリセットすれば、安定してクロックを発生させることができる。

【0086】

【発明の効果】以上のように、本発明の請求項1における固体撮像素子は、垂直電荷転送素子駆動回路を循環ループを有する複数段のシフトレジスタで構成したので、シフトレジスタを駆動させるためのパターン入力を外部から与えないで、シフトレジスタ駆動の繰り返しパターンを得ることができ、低雑音化が図れ、入出力のピン数が削減でき、低消費電力化が可能となる。

【0087】本発明の請求項2における固体撮像素子は、請求項1において、垂直電荷転送素子駆動回路のシフトレジスタにシフトレジスタ初期状態設定回路を備え

22

たので、シフトレジスタを駆動させるためのパターン入力を初期設定することができ、低雑音化と低消費電力化が可能となる。

【0088】本発明の請求項3における固体撮像素子は、請求項2において、シフトレジスタが、第1のクロックで動作する第1のトランスファゲート、該第1のトランスファゲートに接続される第1のインバータ、第2のクロックで動作する第2のトランスファゲート、及び該第2のトランスファゲートに接続され該第2のトランスファゲートにより前記第1のインバータの出力が入力制御される第2のインバータを備え、シフトレジスタ初期状態設定回路がトランジスタから構成され、該トランジスタの一端が前記シフトレジスタの第1のトランスファゲートと第1のインバータに接続され、他の一端が初期設定すべき状態に対応した電源に接続され、前記2つの端子の導通を制御するゲートが第3のクロックに接続されるので、必要とされる外部クロックが少なく、低雑音化と低消費電力化が可能となる。

【0089】本発明の請求項4における固体撮像素子は、請求項3において、各段のシフトレジスタの出力から構成されるクロックパターンの1サイクルを構成する複数段のシフトレジスタのうち、連続する少なくとも2段のシフトレジスタの初期状態設定回路の電位を他の段とは異なる電位としたので、シフトレジスタの駆動により少なくとも2段分電位の異なるクロック信号を発生しこれが順次次段に伝達されるので、高効率電荷転送が可能となり、またこのクロック信号により駆動するゲート数が少なくしかも多相のクロック信号を発生することができ、低電力化が可能となる。

【0090】本発明の請求項5における固体撮像素子は、請求項1において、循環ループにシフトレジスタの初期状態の設定を行うパターンを循環ループ外の回路から入力するための切替手段を設けたので、切替手段を制御するだけで、任意のパターンを循環ループ内のシフトレジスタに入力することができ、低雑音化が可能となる。

【0091】本発明の請求項6における固体撮像素子は、請求項5において、シフトレジスタの初期状態を設定するパターンを循環ループ外の回路から入力するための切替手段を、循環ループに設けた第1のMOSトランジスタと、該第1のMOSトランジスタと該シフトレジスタの初段入力との間に設けられ外部からのパターン入力を制御する第2のMOSトランジスタとで構成したので、少ないクロック信号を付加すれば簡便な構成で切替が可能となり、低電力化が図れる。

【0092】本発明の請求項7における固体撮像素子は、請求項6において、外部から入力されるパターンとして、パターン記憶部に格納したシフトレジスタの初期状態設定パターンを用いたので、任意に形成したパターンを容易にシフトレジスタに入力することができ、低雑

10

20

30

40

50

音化と低電力化が可能となる。

【0093】本発明の請求項8における固体撮像素子は、請求項1乃至7において、シフトレジスタの各段の出力を並列に分岐した一方の出力を、前記シフトレジスタ内のインバータより駆動能力の大きいインバータまたはバッファを介して垂直電荷転送素子ゲートへ出力したので、安定動作を得るためにある程度高い電圧が必要なシフトレジスタ部と垂直電荷転送素子ゲートへの低電圧出力部（ドライバ部）とを分けて構成することができ、低電力化が可能となる。

【0094】本発明の請求項9における固体撮像素子は、請求項1乃至8において、シフトレジスタの各段の出力を並列に分岐した一方の出力を、トランスファゲートを介して垂直電荷転送素子ゲートへ出力したので、外部クロックによりトランスファゲートを制御することでシフトレジスタの各段の出力の垂直電荷転送素子ゲートへの送出を制御でき、ゲート等回路素子の低減が可能となりその結果低電力化が可能となる。

【0095】本発明の請求項10における固体撮像素子は、請求項1乃至9において、最終段のシフトレジスタの中で最終段に配置されたインバータの駆動能力を、他の各段のシフトレジスタのそれぞれ最終段に配置されたインバータの駆動能力より高くしたので、循環ループに連結する最終段のシフトレジスタの中の最終段に配置されたインバータの負荷を安定に負うことができ、遅延や誤動作のないシフトレジスタを提供できる。

【0096】本発明の請求項11における固体撮像素子は、請求項1乃至9において、最終段のシフトレジスタの中で最終段に配置されたインバータの後段に該インバータより駆動能力の高いバッファを用いたので、循環ループに連結する最終段のシフトレジスタの中の最終段に配置されたインバータの負荷を安定に負うことができ、遅延や誤動作のないシフトレジスタを提供できる。

【0097】本発明の請求項12における固体撮像素子は、2次元に蓄積された信号電荷を一走査分を読み出すのに必要な数の垂直電荷転送素子駆動用クロックを発生させる手段を備えたので、外部クロックの数を減らすことができ、低雑音化が可能となる。

【0098】本発明の請求項13における固体撮像素子は、2次元に蓄積された信号電荷を一走査分を読み出すのに必要な数の垂直電荷転送素子駆動用クロックを発生させる手段としてシフトレジスタ駆動パターン保持回路を用いたので、簡便な方法で外部クロックの数を減らすことができ、低雑音化が可能となる。

【0099】本発明の請求項14における固体撮像素子は、2次元に蓄積された信号電荷を一走査分を読み出すのに必要な数のシフトレジスタを直列に接続して構成したので、外部クロックの数を減らすことができ、低雑音化が可能となる。

【0100】本発明の請求項15における固体撮像素子

の駆動方法は、垂直電荷転送素子駆動回路に備わる複数段のシフトレジスタを初期設定した後、外部クロックにより順次そのパターンを次段のシフトレジスタへの送出するとともに各段の出力を垂直電荷転送素子のゲート電極駆動信号に用い、最終段のシフトレジスタの出力を初段のシフトレジスタへの入力としてシフトレジスタの駆動パターンを循環させたので、高効率電荷転送が達成できるとともに、パターン入力に起因した雑音発生がなくなり、また多くの外部クロックを必要としないので、低消費電力化が可能となる。

【0101】本発明の請求項16における固体撮像素子の駆動方法は、請求項15において、外部クロックによりシフトレジスタの入力段をリセットする第1のステップを、電源の投入時、垂直帰線期間または水平帰線期間に行うので、リセット用外部クロックに起因する雑音が発生しても、画像に影響を与えることはない。

【0102】本発明の請求項17における固体撮像素子の駆動方法は、請求項15において、第1のステップで連続する少なくとも2段のシフトレジスタにおいてリセットされ設定される電位が、他の段と異なる電位であるので、異なる電位でリセットされたシフトレジスタからは異なるクロック信号が発せられ、この異なるクロック信号により垂直電荷転送素子に任意のポテンシャル井戸を形成することができ、電荷転送効率の向上や信号電荷蓄積面積の確保、低雑音化が可能となる。

【0103】本発明の請求項18における固体撮像素子の駆動方法は、請求項15乃至17において、第4のステップにおいて、各段のシフトレジスタの第2のインバータの出力の一方を、トランスファゲートを介して垂直電荷転送素子ゲートへ入力し、画素列選択回路が動作している間は前記トランスファゲートをオフ状態としたので、前記トランスファゲートと画素列選択回路の駆動クロックを共有でき、垂直電荷転送素子駆動回路と垂直電荷転送素子のゲート電極を電氣的に完全に分離したり接続したり制御することが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施例1による固体撮像素子の垂直電荷転送素子および垂直電荷転送素子駆動回路の構成を示すブロック図である。

【図2】 この発明の固体撮像素子の画素列選択回路とトランスファゲートの接続を示す図である。

【図3】 この発明の固体撮像素子の垂直電荷転送素子駆動回路と垂直電荷転送素子のゲート電極の接続を示す図である。

【図4】 図1の固体撮像素子の各タイミングにおける垂直電荷転送素子内のチャネルポテンシャル図である。

【図5】 図4の垂直電荷転送素子駆動回路の発生するクロックするクロックタイミング図である。

【図6】 この発明の実施例1による固体撮像素子の垂直電荷転送素子駆動回路である。

【図 7】 この発明の実施例 2 による固体撮像素子の垂直電荷転送素子および垂直電荷転送素子駆動回路のブロック図である。

【図 8】 この発明の他の実施例による固体撮像素子の垂直電荷転送素子駆動回路のブロック図である。

【図 9】 図 7、8 に示す垂直電荷転送素子駆動回路の動作を説明するクロックタイミング図である。

【図 10】 この発明の実施例 3 による固体撮像素子の垂直電荷転送素子および垂直電荷転送素子駆動回路の構成を示すブロック図である。

【図 11】 この発明の実施例 4 による固体撮像素子の垂直電荷転送素子駆動回路である。

【図 12】 この発明の実施例 4 による別の固体撮像素子の垂直電荷転送素子駆動回路である。

【図 13】 この発明の実施例 5 による固体撮像素子の垂直電荷転送素子駆動回路である。

【図 14】 この発明の実施例 5 による別の固体撮像素子の垂直電荷転送素子駆動回路である。

【図 15】 この発明の実施例 6 による固体撮像素子の構成を示すブロック図及び各タイミングにおける垂直電荷転送素子内のチャンネルポテンシャル図である。

【図 16】 従来の固体撮像素子の構成を示すブロック図である。

【図 17】 従来の固体撮像素子の画素列選択回路とトランスファゲートの接続を示す図である。

【図 18】 従来の固体撮像素子の垂直電荷転送素子駆動回路と垂直電荷転送素子のゲート電極の接続を示す図である。

【図 19】 従来の固体撮像素子の画素列選択回路が発生するクロックのタイミング図である。

【図 20】 従来の固体撮像素子の垂直転送の動作を説明するポテンシャル図である。

【図 21】 従来の固体撮像素子の垂直電荷転送のポテンシャル図を説明するためのクロックタイミング図である。

【図 22】 従来の固体撮像素子の垂直電荷転送素子駆動回路を示す回路図である。

【図 23】 従来の固体撮像素子の垂直電荷転送素子駆動回路を動作させるクロックのクロックタイミング図である。

【図 24】 従来の固体撮像素子の他の垂直電荷転送動作を説明するポテンシャル図である。

【図 25】 図 24 の動作に用いる垂直電荷転送素子駆動クロックタイミング図である。

【符号の説明】

10 CMOS インバータ (p チャンネル MOS トランジスタ (Q012、Q022、・・・、Q242、Q015、Q025、・・・、Q245) と n チャンネル MOS トランジスタ (Q013、Q023、・・・、Q243、Q016、Q026、・・・、Q246) とから

構成される)

20 トランスファゲート (n チャンネル MOS トランジスタ Q011、Q021、・・・、Q241、Q014、Q024、・・・、Q244)

30 ノード (N01~N24)

40 リセット用トランジスタ (n チャンネル MOS トランジスタ Q01R、Q02R、・・・、Q24R)

60 MOS トランジスタ (Qsc)

70 MOS トランジスタ (Qpi)

10 80 トランスファゲート (n チャンネル MOS トランジスタ Q01T~Q24T)

90 インバータ (p チャンネル MOS トランジスタ (Q017、Q027、・・・、Q247) n チャンネル MOS トランジスタ (Q018、Q028、・・・、Q248) とから構成される)

110、110a~110x 光検出器

210、210a~210x 光検出器

310、310a~310x 光検出器

120、120a~120x トランスファゲート

20 220、220a~220x トランスファゲート

320、320a~320x トランスファゲート

130、230、330 垂直電荷転送素子

230a~230x、330a~330x 垂直電荷転送素子ゲート電極

140、240、340 蓄積ゲート

150、250、350 蓄積制御ゲート

500 水平 CCD 501 水平 CCD ゲート電極

600 プリアンプ

30 700 出力

800 画素列選択回路 801~808 画素選択回路の各 1 段

900 垂直電荷転送素子駆動回路

900a~900x 垂直電荷転送素子駆動回路各段

1000 垂直電荷転送素子駆動回路初期状態設定回路

1001 垂直電荷転送素子駆動用パターン記憶装置

1002 垂直電荷転送素子駆動用パターン保持回路

1100 循環ループ構成配線

1301~1324 垂直電荷転送素子ゲート電極

40 2111~2118、2211~2218、2311~

2318 光検出器

2121~2128 トランスファゲート

2221~2228 トランスファゲート

2321~2328 トランスファゲート

2130、2230、2330 垂直電荷転送素子

2140、2240、2340 蓄積ゲート

2150、2250、2350 蓄積制御ゲート

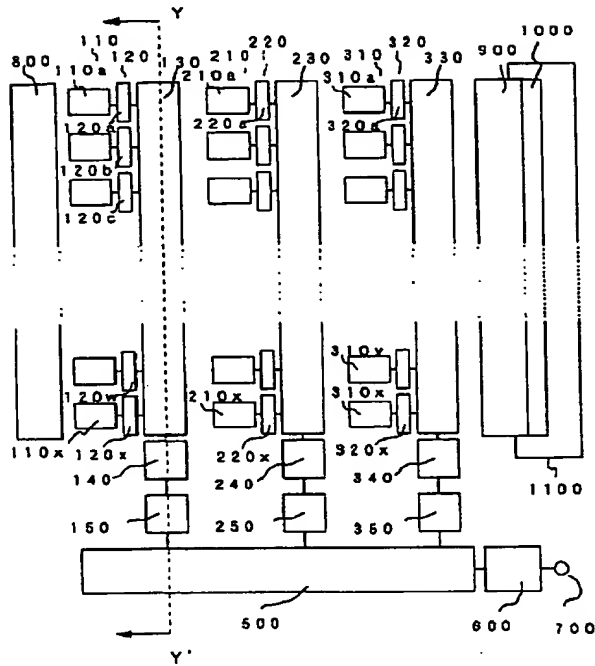
2500 水平 CCD 2501 水平 CCD ゲート電極

50 2600 プリアンプ

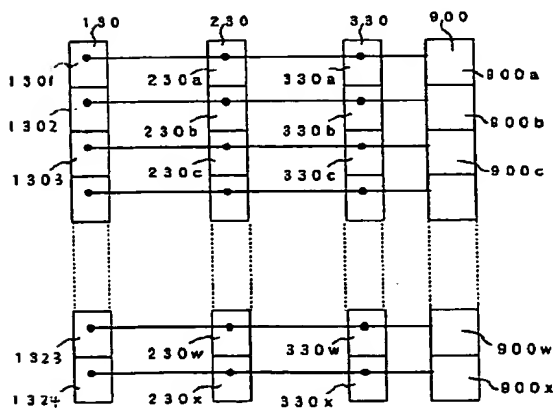
27

2700 出力
 2800 画素列選択回路 2801~2808
 画素選択回路の各1段
 2900 垂直電荷転送素子駆動回路

【図1】



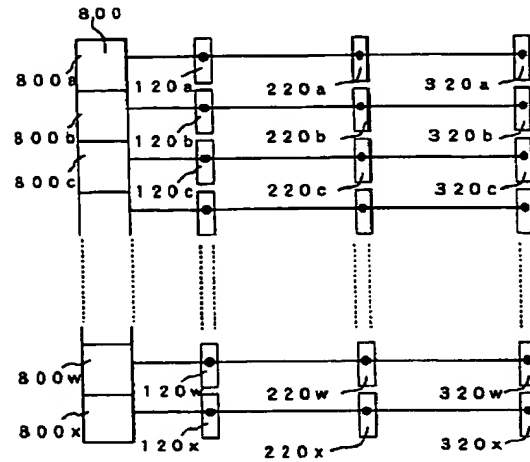
【図3】



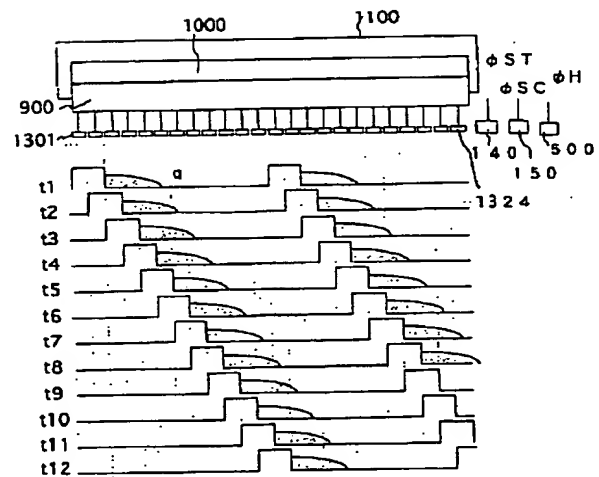
28

* 2901~2908 垂直電荷転送素子駆動回路各段
 2131~2138 垂直電荷転送素子ゲート電極
 2231~2238 垂直電荷転送素子ゲート電極
 * 2331~2338 垂直電荷転送素子ゲート電極

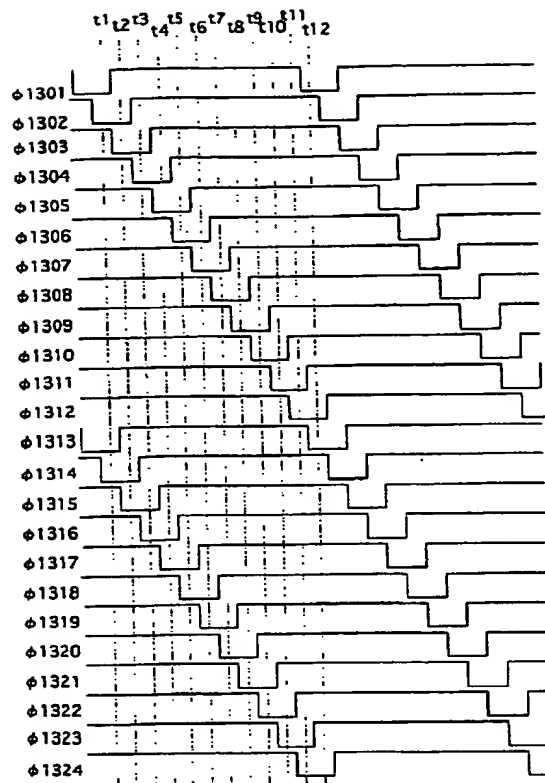
【図2】



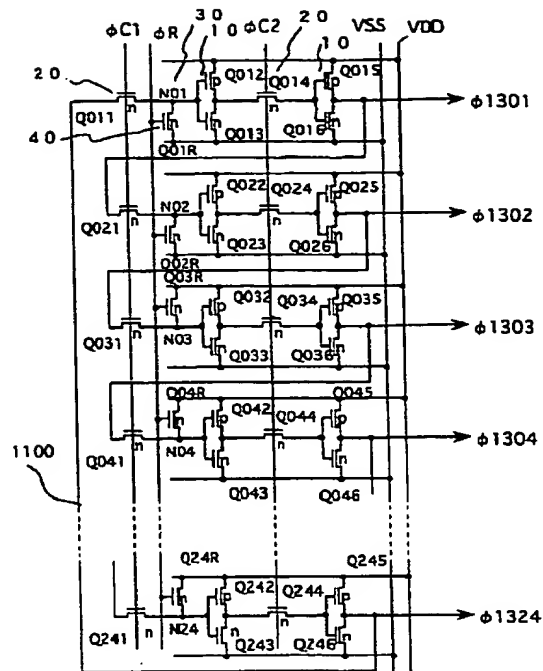
【図4】



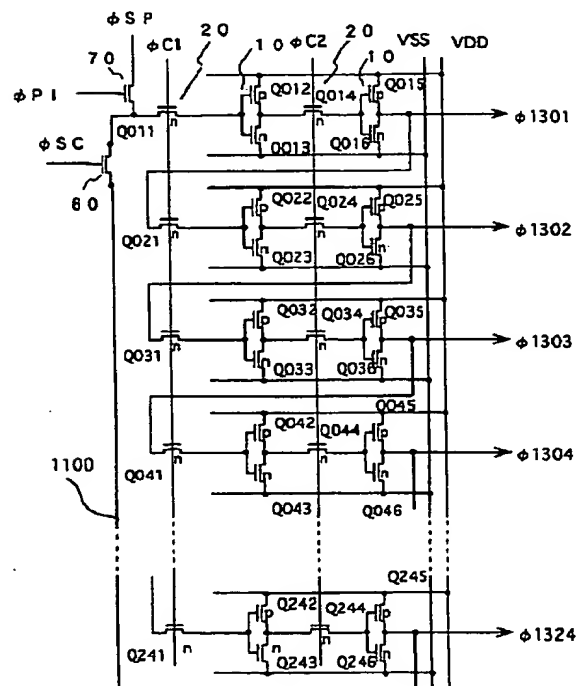
【図 5】



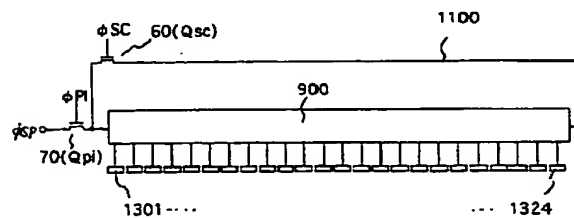
【図 6】



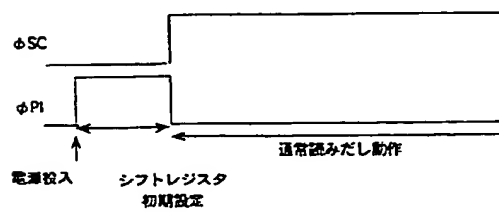
【図 8】



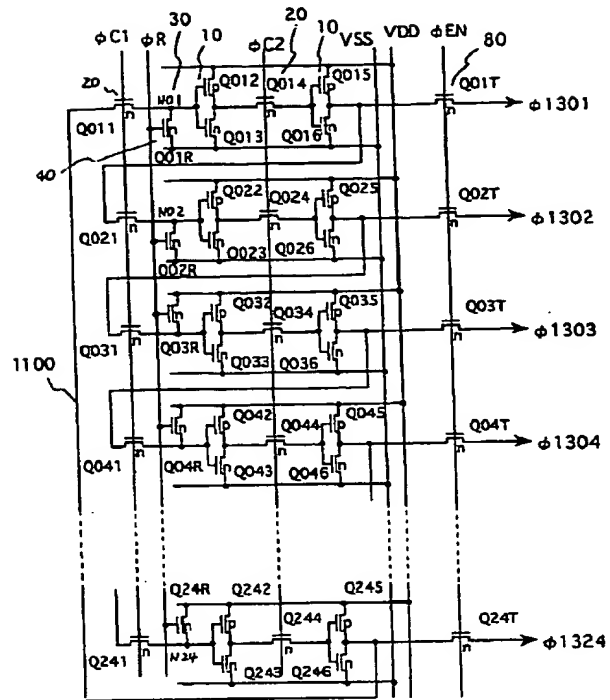
【図 7】



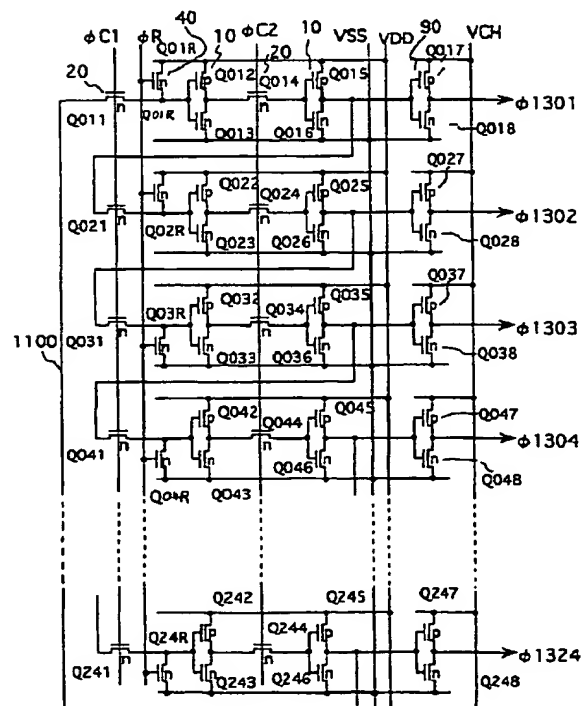
【図 9】



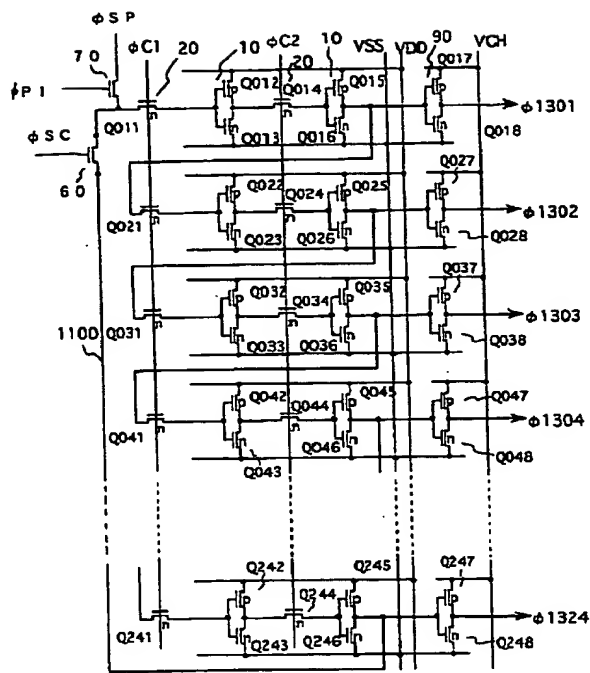
【圖 11】



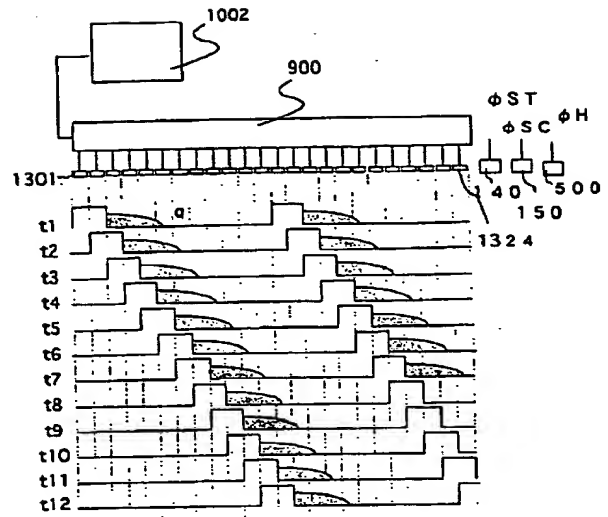
【圖 13】



【図 14】

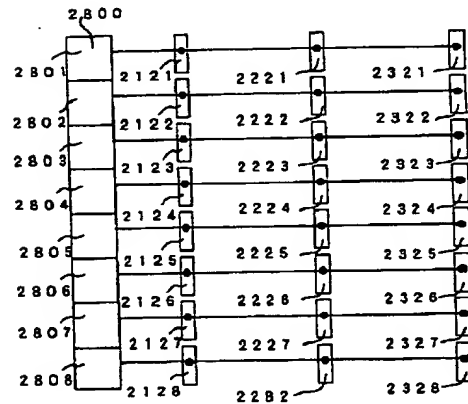
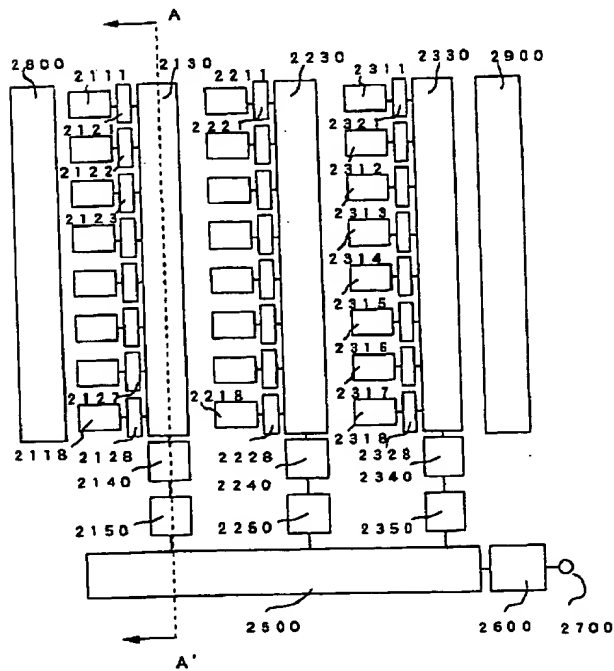


【図 15】

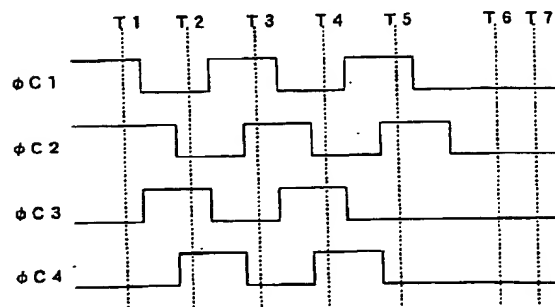


【図 17】

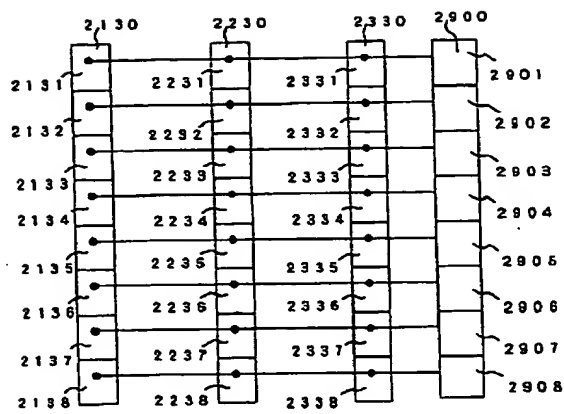
【図 16】



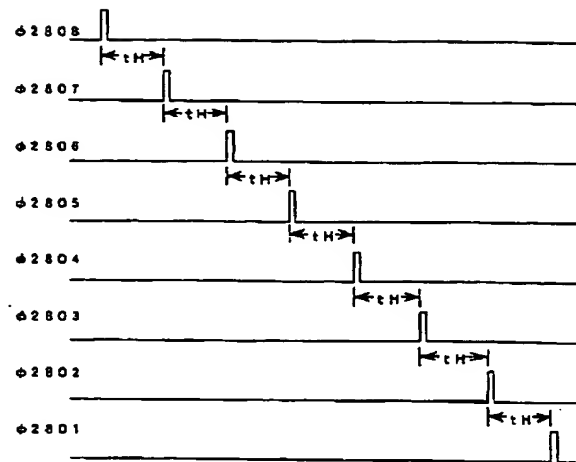
【図 23】



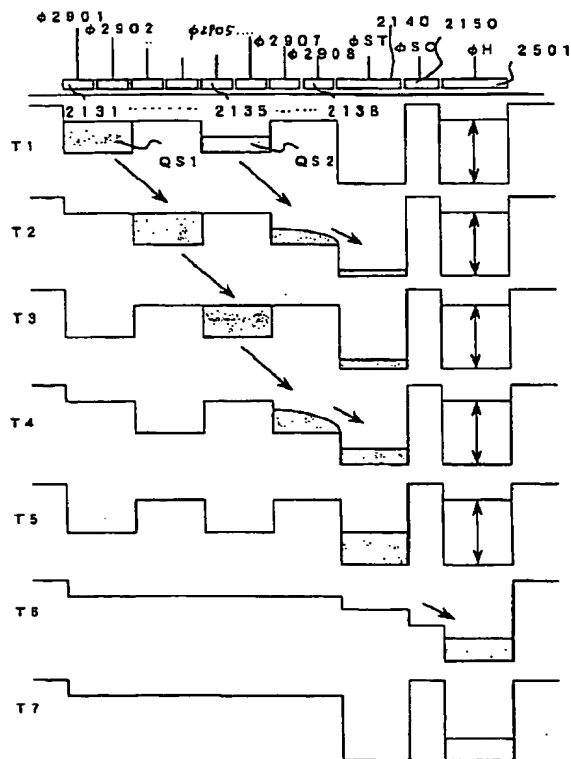
【図18】



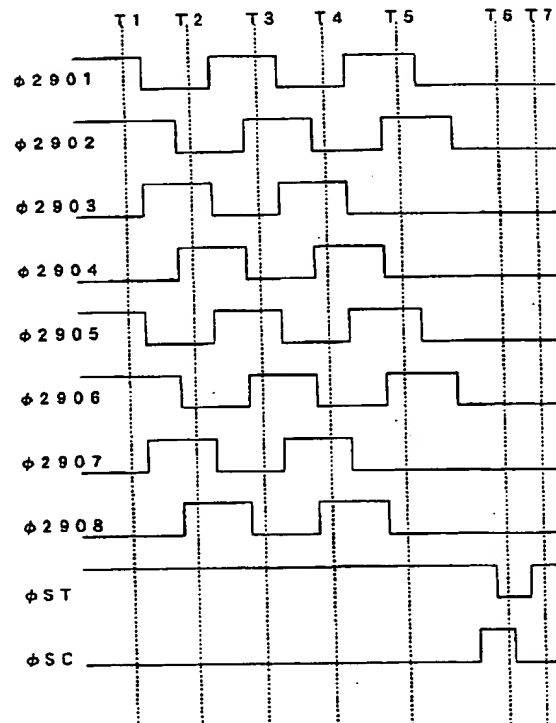
【図19】



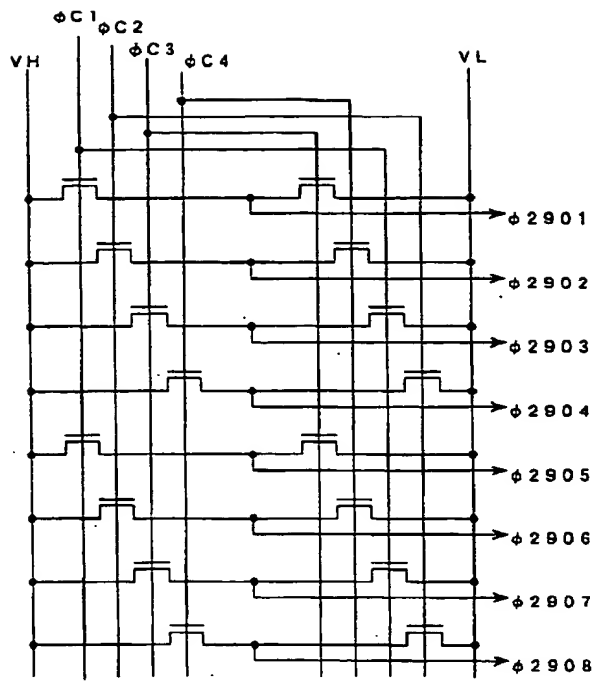
【図20】



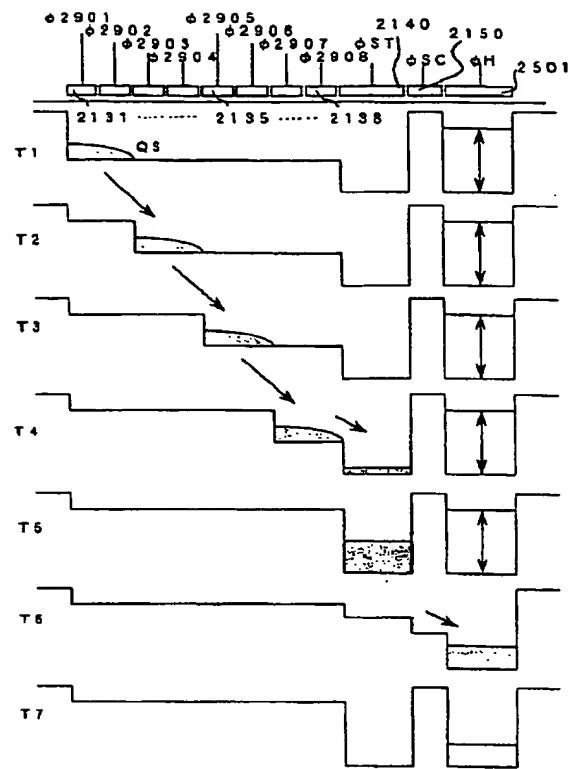
【図21】



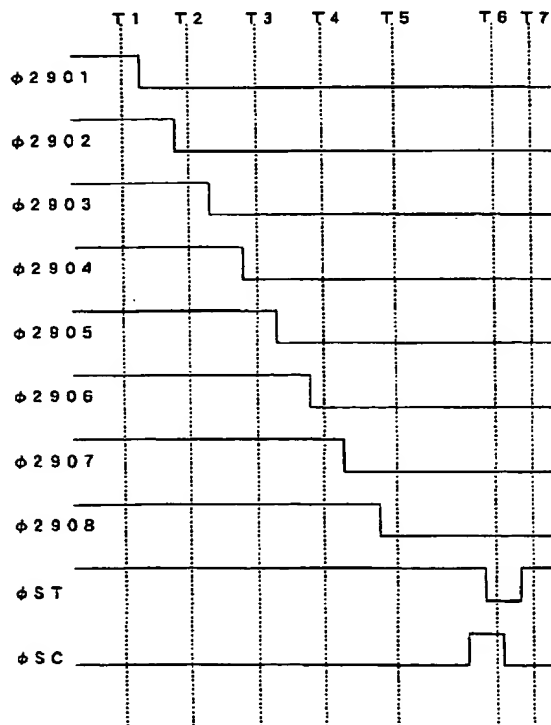
【図22】



【図24】



【図25】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 13 年 4 月 20 日 (2001. 4. 20)

【公開番号】特開平 8 - 2 3 7 5 5 1
 【公開日】平成 8 年 9 月 13 日 (1996. 9. 13)
 【年通号数】公開特許公報 8 - 2 3 7 6
 【出願番号】特願平 7 - 3 5 1 2 6
 【国際特許分類第 7 版】

H04N 5/335

H01L 27/148

【F I】

H04N 5/335 P

H01L 27/14 B

【手続補正書】
 【提出日】平成 12 年 4 月 19 日 (2000. 4. 19)

【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】請求項 12
 【補正方法】変更
 【補正内容】

【請求項 12】 光検出器が 2 次元に配列した光検出器アレイと、前記光検出器に蓄積された信号電荷を画素列選択回路により選択された光検出器毎に垂直電荷転送素子駆動回路によって順次読み出す垂直電荷転送素子とを備えた固体撮像素子であって、一水平掃線期間内に 1 本または 1 組の水平ライン毎に光検出器に蓄積された信号電荷を垂直電荷転送素子に読みだし、前記垂直電荷転送素子内に読み出された信号電荷を前記水平掃線期間に続く水平期間に光検出器アレイの外部に転送するように動作する固体撮像素子において、垂直電荷転送素子駆動回路が、クロックで動作するトランスファゲート、該トランスファゲートに接続されるインバータにより各段が構成される複数段のシフトレジスタ、該シフトレジスタから発生される垂直電荷転送素子駆動用のクロックの数が 2 次元に蓄積された信号電荷を水平期間に一走査分を読み出すのに必要な数であって、少なくとも垂直方向に配置した光検出器の個数よりも多い数のクロックを発生させる手段を備えたことを特徴とする固体撮像素子。

【手続補正 2】
 【補正対象書類名】明細書
 【補正対象項目名】請求項 14
 【補正方法】変更
 【補正内容】

【請求項 14】 垂直電荷転送素子駆動回路の垂直電荷転送素子駆動用のクロックを発生させる手段が、2 次元に蓄積された信号電荷を水平期間に一走査分を読み出すのに必要な数であって、少なくとも垂直方向に配置した

光検出器の個数よりも多い数のシフトレジスタを直列に接続して構成されることを特徴とする請求項 12 に記載の固体撮像素子。

【手続補正 3】
 【補正対象書類名】明細書
 【補正対象項目名】0027
 【補正方法】変更
 【補正内容】

【0027】請求項 12 の発明に係わる固体撮像素子は、光検出器が 2 次元に配列した光検出器アレイと、前記光検出器に蓄積された信号電荷を画素列選択回路により選択された光検出器毎に垂直電荷転送素子駆動回路によって順次読み出す垂直電荷転送素子とを備えた固体撮像素子であって、一水平掃線期間内に 1 本または 1 組の水平ライン毎に光検出器に蓄積された信号電荷を垂直電荷転送素子に読みだし、前記垂直電荷転送素子内に読み出された信号電荷を前記水平掃線期間に続く水平期間に光検出器アレイの外部に転送するように動作する固体撮像素子において、垂直電荷転送素子駆動回路が、クロックで動作するトランスファゲート、該トランスファゲートに接続されるインバータにより各段が構成される複数段のシフトレジスタ、該シフトレジスタから発生される垂直電荷転送素子駆動用のクロックの数が 2 次元に蓄積された信号電荷を水平期間に一走査分を読み出すのに必要な数であって、少なくとも垂直方向に配置した光検出器の個数よりも多い数のクロックを発生させる手段を備えたものである。

【手続補正 4】
 【補正対象書類名】明細書
 【補正対象項目名】0029
 【補正方法】変更
 【補正内容】

【0029】請求項 14 の発明に係わる固体撮像素子は、請求項 12 において、垂直電荷転送素子駆動回路の

垂直電荷転送素子駆動用のクロックを発生させる手段が、2次元に蓄積された信号電荷を水平期間に一走査分を読み出すのに必要な数であって、少なくとも垂直方向

に配置した光検出器の個数よりも多い数のシフトレジスタを直列に接続して構成されることを規定するものである。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.